

## Ampliando o Potencial Pedagógico da Ferramenta Bipide

Paulo R. M. Rech, Paulo V. Vieira, André L. A. Raabe, Cesar A. Zeferino

Universidade do Vale do Itajaí - UNIVALI  
Rua Uruguai, 458, Caixa Postal 360 – 88.302-202 – Itajaí – SC – Brasil  
{paulorech,pauloviniccius,raabe,zeferino}@univali.br

**Abstract.** *Aiming at reducing the abstraction level of concepts about programming logic for students in the first term of undergraduate courses on Computer Science, a processor family based on a simple instruction architecture (named BIP – Basic Instruction-set Processor) was specified and an user-friendly integrated development environment (named Bipide) was developed. The first models of BIP (BIP I, II and III) had some limitations. They did not support procedure calls and input/output operations for user interactions in Bipide IDE. In this context, this work aimed at specifying a new model for this family (named BIP IV), which added new features and increased its scope of use. Modifications were also implemented in Bipide to support use of BIP IV, improving the interaction between the user and the tool, also allowing solving more complex problems. As a result, pedagogical potential of the tool was increased.*

### 1. Introdução

Com o objetivo de auxiliar o processo de ensino-aprendizagem nos semestres iniciais de cursos de Ciência da Computação, foi proposta uma abordagem interdisciplinar envolvendo conceitos de arquitetura e organização de computadores nas disciplinas ligadas à aprendizagem de programação [Zeferino et al. 2011]. Acredita-se que a redução da abstração envolvida nos conceitos de programação pode diminuir os problemas de aprendizagem apresentados pelos alunos iniciantes [Lister et al. 2004].

Para atingir esse objetivo, foi desenvolvida uma família de processadores simplificados denominada BIP (Basic Instruction-set Processor) e a ferramenta educacional Bipide, baseada na arquitetura dos processadores BIP I e BIP II, a qual oferece funcionalidades que auxiliam na compreensão e utilização destes processadores.

Esta proposta vem sendo utilizada ao longo de quatro semestres letivos e tem trazido resultados positivos, conforme mencionado em Vieira, Raabe e Zeferino (2010). No entanto, o conjunto de instruções dos processadores BIP suportados pela ferramenta Bipide não oferece suporte a chamadas de procedimentos e a interação com o usuário por meio de operações de entrada e saída (E/S), o que restringe seu uso a algoritmos muito simples. Este aspecto tem gerado limitações quanto ao uso da ferramenta para o ensino de conceitos mais abrangentes da aprendizagem de computação.

Considerando o exposto, este trabalho apresenta a especificação do processador BIP IV, o qual estende as funcionalidades das versões anteriores dos processadores BIP, incorporando instruções de E/S, manipulação de vetores e chamadas de procedimentos. Para suportar as funcionalidades do BIP IV foram realizadas alterações no ambiente Bipide, incluindo mudanças no compilador e na interface de simulação do ambiente.

## 2. Processadores BIP

Uma prática essencial para o ensino de computação é a experimentação realizada em laboratórios, onde os estudantes podem aplicar o conhecimento teórico adquirido em sala de aula na solução de problemas práticos. Nesse aspecto, alguns autores e professores optam pela utilização de processadores reais e comerciais, enquanto outros preferem modelos hipotéticos de processadores disponíveis na literatura. Outra abordagem utilizada é o desenvolvimento de um modelo específico de processador que atenda as necessidades pedagógicas do curso [Zeferino et al. 2011; Nikolic et al. 2009].

Considerando esse aspecto, pesquisadores da Universidade do Vale do Itajaí especificaram a família de processadores BIP. Estes processadores utilizam uma arquitetura orientada a acumulador e um conjunto de instruções baseado em um único formato de instrução de 16 bits [Morandi et al. 2006]. Foram especificados três modelos de processador, com suporte incremental ao entendimento de conceitos de programação, e um microcontrolador:

- BIP I: inclui instruções de aritmética e de acesso à memória de dados;
- BIP II: acrescenta instruções de desvio, com suporte aos conceitos de estruturas de controle para desvios condicionais e incondicionais e laços de repetição;
- BIP III: adiciona instruções de lógica, suportando operações de lógica bit-a-bit; e
- $\mu$ BIP: apresenta funcionalidades típicas de microcontroladores, incluindo periféricos e suporte a interrupção.

## 3. Bipide

O Bipide é um ambiente de desenvolvimento integrado para os processadores BIP composto por: (i) um editor de programas em linguagem Portugol; (ii) um compilador capaz de traduzir a linguagem Portugol para a linguagem de montagem dos processadores BIP; (iii) um simulador gráfico de arquitetura e de organização que exhibe a execução de programas; e (iv) uma área de ajuda composta por informações sobre os processadores BIP e funcionalidades do sistema [Vieira, Raabe e Zeferino 2010].

O ambiente de simulação permite executar o programa passo-a-passo ou de forma contínua. A interface do ambiente permite visualizar simultaneamente o código do programa em linguagem alto nível, o código *assembly* gerado durante a compilação do programa e a organização do processador. Isto permite que sejam realizadas comparações e associações entre estes elementos.

A primeira versão do Bipide foi desenvolvida para suportar a simulação dos processadores BIP I e BIP II. Devido às limitações do conjunto de instruções desses processadores, essa versão apresenta restrições de aplicabilidade, dado que não oferece suporte a chamada de procedimentos e a operações de entrada-e-saída.

## 4. Especificação do BIP IV

O BIP IV estende as funcionalidades do BIP III e utiliza algumas instruções presentes no microcontrolador  $\mu$ BIP, permitindo interação com o usuário através de operações de E/S e chamada de procedimentos. Além dessas, também inclui suporte a operações de deslocamento bit-a-bit e manipulação de vetores.

O conjunto de instruções do BIP IV é formado por 28 instruções. Para instruções de E/S foi adotado o método de E/S mapeada em memória, como a utilizada no  $\mu$ BIP. A organização do BIP IV, ilustrada na Figura 1, foi baseada na organização do processador

BIP III, à qual foram adicionados os registradores IN\_DATA e OUT\_DATA, uma pilha de suporte a procedimentos e uma unidade de manipulação de vetores.

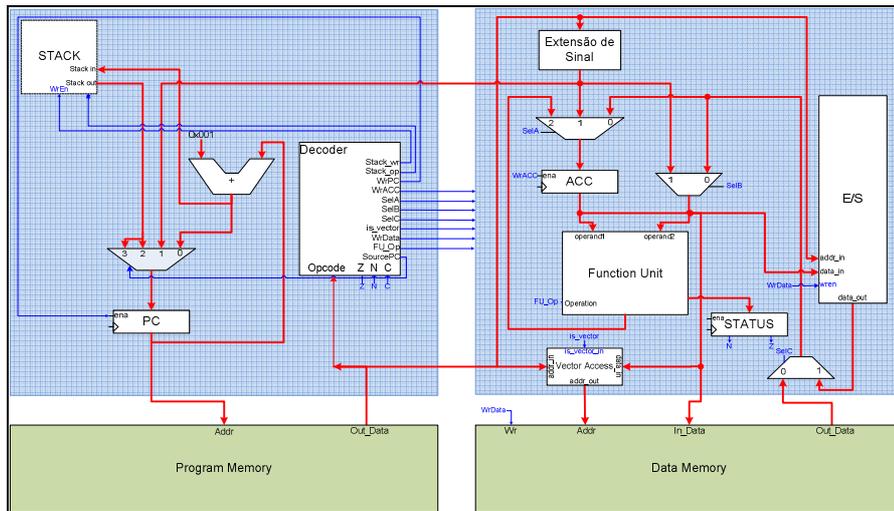


Figura 1. Organização do BIP IV

### 5. Alterações na Ferramenta Bipide

Para contemplar o suporte ao BIP IV, o ambiente Bipide foi alterado para incluir operações de E/S, utilização de vetores, chamada de sub-rotinas com passagem de parâmetros e operações de lógica. Para atender essas necessidades, as alterações incluíram mudanças na gramática da linguagem Portugol, novas verificações semânticas no compilador e mudanças na geração de código para os processadores BIP.

A fim de permitir as interações do usuário em operações de entrada-e-saída, foram efetuadas alterações na interface do simulador. Para isso, foram consideradas características observadas em simuladores similares. Verificou-se que a maioria destes simuladores apresentavam interfaces de E/S baseadas em controles simples, representados por interruptores e LEDs [Borges e Silva 2006; Brorsson 2002; Ziller 1999; Scott 2010; GNUsim8085 2003]. Esse tipo de interface permite executar programas simples em que operações de entrada-e-saída restrinjam-se à leitura e à escrita de números inteiros. Ela permite ainda simular o controle de algum periférico acoplado ao processador e que precise ler ou escrever em determinados bits da porta. Dessa forma, adotou-se no Bipide uma representação baseada em interruptores e LEDs, acrescida de uma opção de leitura e escrita de dados em decimal, conforme destacado na Figura 2.

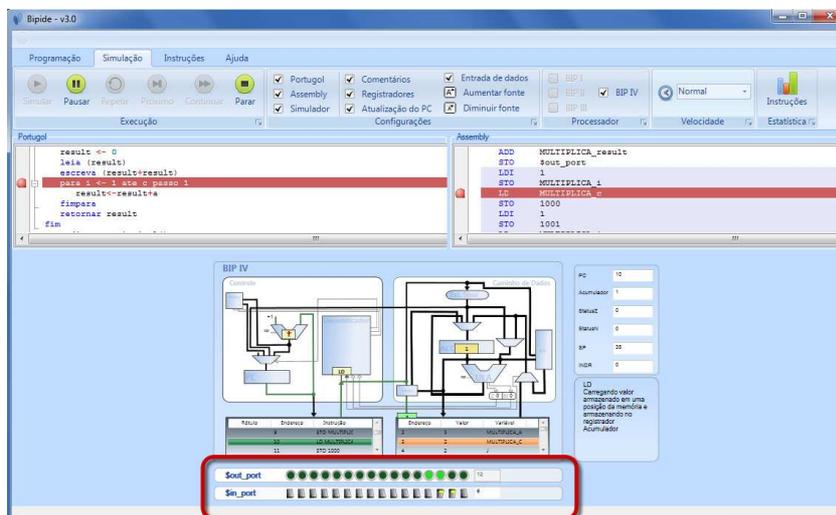


Figura 2. Interface do Bipide com opções de entrada e saída de dados

## 6. Conclusões

Este artigo apresentou o desenvolvimento do processador BIP IV e sua inclusão no ambiente Bipide. Esse processador permite a manipulação de vetores, operações de lógica bit-a-bit, deslocamento lógico, chamada de sub-rotinas com passagem de parâmetros e a interação com usuários através de operações de entrada-e-saída. Essas funcionalidades ampliam as possibilidades de utilização da família de processadores BIP em um contexto educacional. As alterações realizadas no ambiente Bipide aumentam seu potencial pedagógico, permitindo o desenvolvimento e a simulação de programas mais complexos que os suportados anteriormente. Essa amplitude de possibilidades favorece a adoção do Bipide como software de apoio em diferentes disciplinas de cursos de graduação em Ciência da Computação, reduzindo as dificuldades de utilização decorrentes das restrições impostas pela arquitetura das versões anteriores dos processadores BIP. Dessa forma, espera-se ampliar o suporte a uma proposta educacional interdisciplinar que busca a melhoria do ensino de computação.

Pretende-se dar continuidade à pesquisa por meio da aplicação dos novos recursos em atividades didáticas e a realização de experimentos que permitam verificar os benefícios das novas funcionalidades para a redução dos problemas de aprendizagem.

## Referências

- Borges, J. A. S.; Silva, G. P. (2006). “NeanderWin – um simulador didático para uma arquitetura do tipo Acumulador”. In: workshop sobre educação em arquitetura de computadores, 1., 2006, Ouro Preto. *Proceedings...* Porto Alegre: SBC.
- Brorsson, M. (2002). “MipsIt: A Simulation and Development Environment Using Animation for Computer Architecture Education”. In: Workshop on computer architecture education. Anchorage, Alaska. *Proceedings...* New York, NY: Acm.
- GNUSim8085. (2003). “GNUSim8085”. Disponível em: <<http://gnusim8085.org/>>. Acesso em: 28 set. 2011.
- Lister, R. et al. (2004). “A multi-national study of reading and tracing skills in novice programmers”. *ACM SIGCSE Bulletin*, USA, v. 36, n. 4, p. 119-150.
- Morandi, D. et al. (2006) “Um processador básico para o ensino de conceitos de arquitetura e organização de computadores”. *Hifen*, Uruguaiiana, v. 30, p. 73-80.
- Nikolic, B. et al. (2009). “A Survey and Evaluation of Simulators Suitable for Teaching Courses in Computer Architecture and Organization”. *IEEE Transactions on Education*, USA, v. 52, n. 4, p. 449-458.
- Scott, M. (2010). “WinMIPS64”. Disponível em: <<http://www.computing.dcu.ie/~mike/winmips64.html>>. Acesso em: 28 set. 2010.
- Vieira, P. V.; Raabe, A. L. A.; Zeferino, C. A. (2010) “Bipide - ambiente de desenvolvimento integrado para a arquitetura dos processadores BIP”, *Revista Brasileira de Informática na Educação*, v. 18, n. 1.
- Zeferino, C. A. et al. (2011). “Um Enfoque Interdisciplinar no Ensino de Arquitetura de Computadores”. In *Arquitetura de Computadores: educação, ensino e aprendizado*, Martins, C; Navaux P.; Azevedo, R.; Kofuji, S. (Org.). No Prelo
- Ziller, R. M. (1999). “ABACUS”. Disponível em: <<http://www2.ufersa.edu.br/portal/view/uploads/setores/147/arquivos/MM/AbacusSetup.zip>>. Acesso em: 28 set. 2011.